

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-105132

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66

(21)Application number : 08-263230

(71)Applicant : NEC GUMMA LTD

(22)Date of filing : 03.10.1996

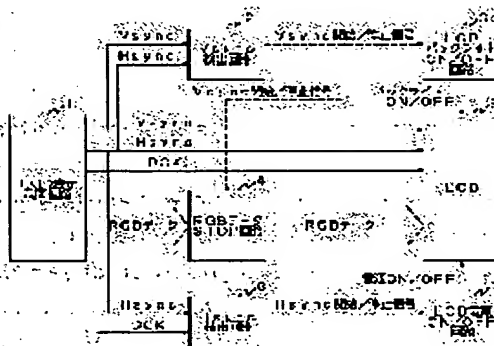
(72)Inventor : NAKABAYASHI YOSHIKAZU

## (54) LCD CONTROL CIRCUITS FOR REDUCING POWER CONSUMPTION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an economical LCD control circuit for reducing power consumption by controlling reduction of power consumption of an LCD(liquid crystal display) using a Vsync signal (vertical synchronizing) and a Hsync signal (horizontal synchronizing) of a VESA standard.

**SOLUTION:** When stop of a Vsync signal is detected by a Vsync detecting circuit 2, a Vsync stop signal is sent out. An LCD back light ON/OFF circuit 3 turns off the back light of an LCD 5, an RGB data stop circuit 4 stops the output of RGB data outputted from an LCD display control circuit 1 to the LCD 5. When stop of an Hsync signal is detected by an Hsync detecting circuit 6, the Hsync signal is stopped. ALCD power source ON/OFF circuit 7 turns off the LCD power source of the LCD 5. When start of a Vsync signal is detected by a Vsync detecting circuit, the Vsync start signal is sent out, to restart a screen display. When an Hsync detecting circuit 6 detects start of the Hsync signal, the circuit 7 turns on the power source of the LCD 5.



## LEGAL STATUS

[Date of request for examination] 03.10.1996

[Date of sending the examiner's decision of rejection] 06.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The LCD power saving force-control circuit characterized by performing the power saving force control of LCD using the Vsync signal and Hsync signal of VESA specification.

[Claim 2] The LCD power saving force-control circuit according to claim 1 characterized by suspending the output to this LCD of the RGB data outputted from said LCD display-control circuit while turning OFF the back light of said LCD, when said Vsync signal outputted from the LCD display-control circuit which controls a LCD display is supervised and this Vsync signal carries out a fixed time amount halt.

[Claim 3] The LCD power saving force-control circuit according to claim 1 characterized by turning OFF the power source of said LCD when said Hsync signal outputted from the LCD display-control circuit which controls a LCD display is supervised and this Hsync signal carries out a fixed time amount halt.

[Claim 4] The LCD power saving force-control circuit according to claim 2 characterized by considering as a halt of fixed time amount of said Vsync signal when counting of the pulse number of said Hsync signal is carried out, the pulse of said Vsync signal was inputted and it becomes beyond the set point which possessed the counter with which said enumerated data are reset, and these enumerated data of this counter defined beforehand.

[Claim 5] The LCD power saving force-control circuit according to claim 3 characterized by considering as a halt of fixed time amount of said Hsync signal when counting of the pulse number of the dot clock signal supplied from said LCD display-control circuit is carried out, the pulse of said Hsync signal was inputted and it becomes beyond the set point which possessed the counter with which said enumerated data are reset, and these enumerated data of this counter defined beforehand.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the LCD power saving force-control circuit of

VESA (Video Electronics Standard Association) specification conformity about a LCD power saving force-control circuit.

[0002]

[Description of the Prior Art] In the system using LCD (liquid crystal display), as one of the power saving force controls of a system, when a display is unnecessary, a display is erased temporarily and it changes into the standby condition, and when a display is needed, there is a function which cancels a standby condition and is returned to the original normal state.

[0003] As this implementation approach, conventionally, in order to make a standby condition as explained by for example, the open patent official report (Taira 4-50996; liquid crystal display control circuit) in full detail, the STANBY signal of dedication was used, and the normal state and the standby condition (power-saving condition) were switched.

[0004]

[Problem(s) to be Solved by the Invention] Since the STANBY signal of dedication was used for the conventional LCD power saving force-control circuit mentioned above, the circuit for it and the software of dedication were needed, and it had the fault that development cost started.

[0005] The purpose of [purpose of invention] this invention uses only the Vsync signal (vertical synchronization) and Hsync signal (horizontal synchronization) in CRT power-saving mode of VESA conformity, and is to offer the economical LCD power saving force-control circuit which utilized the existing VESA specification conformity software.

[0006]

[Means for Solving the Problem] It is characterized by the 1st invention performing the power saving force control of LCD using the Vsync signal and Hsync signal of VESA specification.

[0007] Moreover, the 2nd invention is characterized by suspending the output to this LCD of the RGB data outputted from said LCD display-control circuit while it turns OFF the back light of said LCD; when said Vsync signal outputted from the LCD display-control circuit which controls a LCD display in the 1st invention is supervised and this Vsync signal carries out a fixed time amount halt.

[0008] Next, 3rd invention is characterized by turning OFF the power source of said LCD; when said Hsync signal outputted from the LCD display-control circuit which controls a LCD display in the 1st invention is supervised and this Hsync signal carries out a fixed time amount halt.

[0009] Furthermore, 4th invention is characterized by considering as a halt of fixed time amount of said Vsync signal, when counting of the pulse number of said Hsync signal in the 2nd invention is carried out, the pulse of said Vsync signal was inputted and it becomes beyond the set point which possessed the counter with which said enumerated data are reset, and these enumerated data of this counter defined beforehand.

[0010] When it becomes at the last beyond the set point which possessed the counter with which said enumerated data will be reset if the 5th invention carries out counting of the pulse number of the dot clock signal supplied from said LCD display-control circuit in the 3rd invention and the pulse of said Hsync signal is inputted, and these enumerated data of this counter defined beforehand, it is characterized by considering as a halt of fixed time amount of said Hsync signal.

[0011]

[Embodiment of the Invention] Next, the example of this invention is explained to a detail with reference to a drawing.

[0012] The block diagram in which drawing 1 shows one example of this invention, the block diagram in which drawing 2 shows one example of the Vsync detector 2 of drawing 1, and drawing 3 are the block diagrams showing one example of the Hsync detector 3 of drawing 1.

[0013] Reference of drawing 1 sends out the Vsync stop signal meaning the Vsync signal having stopped the Vsync detector 2, when the Vsync signal outputted from the LCD display-control circuit 1 was supervised and a Vsync signal carried out a fixed time amount halt to the LCD back light ON/OFF circuit 3 and the RGB data STOP circuit 4. The RGB data STOP circuit 4 which the LCD back light

ON/OFF circuit 3 which received the Vsync stop signal turned OFF the back light of LCD5, and received this signal stops the output to LCD5 of the RGB data outputted from the LCD display-control circuit 1.

[0014] The Hsync detector 6 sends out the Hsync stop signal meaning the Hsync signal having stopped to the LCD power-source ON/OFF circuit 7, when the Hsync signal outputted from the LCD display-control circuit 1 is supervised and a Hsync signal carries out a fixed time amount halt. The LCD power-source ON/OFF circuit 7 which received the Hsync stop signal turns OFF the power source of LCD5.

[0015] By and the LCD back light ON/OFF circuit 3, the RGB data STOP circuit 4, and the LCD power-source ON/OFF circuit 7 Where an output halt to the back light OFF of LCD5 and LCD5 of RGB data and the power source OFF of LCD5 are made A Vsync signal and a Hsync signal are outputted from the LCD display-control circuit 1. When a Vsync signal and a Hsync signal are detected in the Vsync detector 2 and the Hsync detector 6, the Vsync detector 2 Sending out a Vsync start signal to the LCD back light ON/OFF circuit 3 and the RGB data STOP circuit 4, the Hsync detector 6 sends out a Hsync start signal to the LCD power-source ON/OFF circuit 7.

[0016] The LCD back light ON/OFF circuit 3 which received the Vsync start signal turns on the back light of LCD5, and the RGB data STOP circuit 4 which received the Vsync start signal outputs the RGB data outputted from the LCD display-control circuit 1 to LCD5. Moreover, the LCD power-source ON/OFF circuit 7 which received the Hsync start signal turns on the power source of LCD5.

[0017] Next, the example of a configuration of the Vsync detector 2 in this example and the Hsync detector 6 is explained using drawing 2 and drawing 3.

[0018] In drawing 2, the Vsync detector 2 consists of a counter 21 and a comparator 22. A counter 21 calculates the pulse number of the Hsync signal supplied from the LCD display-control circuit 1, and outputs enumerated data. A comparator 22 outputs a Vsync stop signal when it becomes beyond the set point defined beforehand, and when a Vsync signal does not oscillate. A counter 21 will be reset, if a Vsync signal is supplied to the reset terminal of a counter 21 and the pulse of a Vsync signal is inputted into it. The set point of a comparator 22 is set up with the output screen of LCD.

[0019] In drawing 3, the Hsync detector 6 consists of a counter 41 and a comparator 42. A counter 41 calculates the pulse number of the dot clock (DCK is called henceforth) signal supplied from the LCD display-control circuit 1, and outputs enumerated data. A comparator 42 outputs a Hsync stop signal when it becomes beyond the set point defined beforehand, and when a Hsync signal does not oscillate. A counter 41 will be reset, if a Hsync signal is supplied to the reset terminal of a counter 41 and the pulse of a Hsync signal is inputted into it. The set point of a comparator 42 is set up with the output screen of LCD.

[0020] Next, actuation of this example is explained to a detail with reference to a drawing.

[0021] Usually, when a screen size is 640\*480, since one line is 640 dots and 480 lines, data are outputted from a graphical representation circuit (not shown) based on this, the LCD display-control circuit 1 receives it, and a screen controls and carries out a screen display of LCD5. By VESA specification, there are two kinds of power saving force controls which have the difference of extent in power saving of the suspension State which stops a Vsync signal, and the off state which stops a Hsync signal. In order to make this invention correspond to VESA specification, the Vsync detector 2 and the Hsync detector 6 are used for it, it supervises a Vsync signal and a Hsync signal, and detects a halt or initiation of a signal. If a halt of a Vsync signal is detected in the Vsync detector 2, a Vsync stop signal is sent out to the LCD back light ON/OFF circuit 3 and the RGB data STOP circuit 4. The LCD back light ON/OFF circuit 3 which received the Vsync stop signal turns off the back light of LCD5, and the RGB data STOP circuit 4 which received the Vsync stop signal stops the output to LCD5 of the RGB data outputted from the LCD display-control circuit 1 (suspension State). Moreover, if a halt of a Hsync signal is detected in the Hsync detector 6, a Hsync stop signal is sent out to the LCD power-source ON/OFF circuit 7. The LCD power-source ON/OFF circuit 7 which received the Hsync stop signal turns off the LCD power source of LCD5 (off state).

[0022] If the Vsync detector 2 detects initiation of a Vsync signal at the time of the suspension State, a Vsync start signal will be sent out to the LCD back light ON/OFF circuit 3 and the RGB data STOP circuit 4, and a screen display will be resumed. If the Hsync detector 6 detects initiation of a Hsync signal at the time of an off state, the LCD power-source ON/OFF circuit 7 will turn on the power source of LCD5, the new power sequencing of LCD will happen, and the screen display of LCD will resume.

[0023] With reference to drawing 2 and drawing 3 , actuation of the Vsync detector 2 and the Hsync detector 6 is explained here.

[0024] The counter 21 in the Vsync detector 2 carries out counting of the pulse number of the Hsync signal supplied from the LCD display-control circuit 1. A comparator 22 outputs a Vsync stop signal, when the number of counts of a counter 21 is supervised, and the value is set to 480 (it is a screen size 640\*480 this time) and a halt of a Vsync signal is checked. Usually, since a Vsync signal pulse is supplied from the LCD display-control circuit 1 before counting 480 times when it is not in power-saving mode, a counter 21 is reset by putting a Vsync signal into the reset terminal of a counter 21. Moreover, while outputting the Vsync stop signal, when a Vsync signal pulse is outputted from the LCD display-control circuit 1, a counter 21 is reset and a comparator 22 outputs a stop and a Vsync start signal for the output of a Vsync stop signal.

[0025] The counter 41 in the Hsync detector 6 outputs a Hsync stop signal, when counting of the pulse number of the DCK signal supplied from the LCD display-control circuit 1 was carried out, a comparator 42 supervises the number of counts of a counter 41, and the value is set to 640 (it is a screen size 640\*480 this time) and a halt of a Hsync signal is checked. Usually, since a Hsync signal pulse is supplied from the LCD display-control circuit 1 before counting 640 times when it is not in power-saving mode, a counter 41 is reset by putting a Hsync signal into the reset terminal of a counter 41. Moreover, while outputting the Hsync stop signal, when a Hsync signal pulse is outputted from the LCD display-control circuit 1, a counter 41 is reset and a comparator 42 outputs a stop and a Hsync start signal for the output of a Hsync stop signal.

[0026] A counter 41 outputs a stop signal to a comparator 42.

[Effect of the Invention] As explained above, this invention is effective in the ability to offer the economical LCD power saving force-control circuit which utilized the existing VESA specification conformity software by having used only the Vsync signal and the Hsync signal and having made it possible the LCD power saving force control of VESA specification conformity.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of this invention.

[Drawing 2] It is the block diagram showing one example of the Vsync detector 2 of drawing 1 .

[Drawing 3] It is the block diagram showing one example of the Hsync detector 3 of drawing 1 .

[Description of Notations]

1 LCD Display-Control Circuit

2 Vsync Detector

3 LCD Back Light ON/OFF Circuit

4 RGB Data STOP Circuit

5 LCD

6 Hsync Detector

7 LCD Power-Source ON/OFF Circuit

21 41 Counter

22 42 Comparator

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-105132

(43) 公開日 平成10年(1998)4月24日

(51) Int. Cl. <sup>6</sup>	識別記号	P I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 3 5	G 0 2 F 1/133 5 3 5
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66 1 0 2 B

審査請求 有 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平8-263230

(22) 出願日 平成8年(1996)10月3日

(71) 出願人 000165033

群馬日本電気株式会社

群馬県太田市西矢島町32番地

(72) 発明者 中林 善和

群馬県太田市西矢島町32番地 群馬日本電気株式会社内

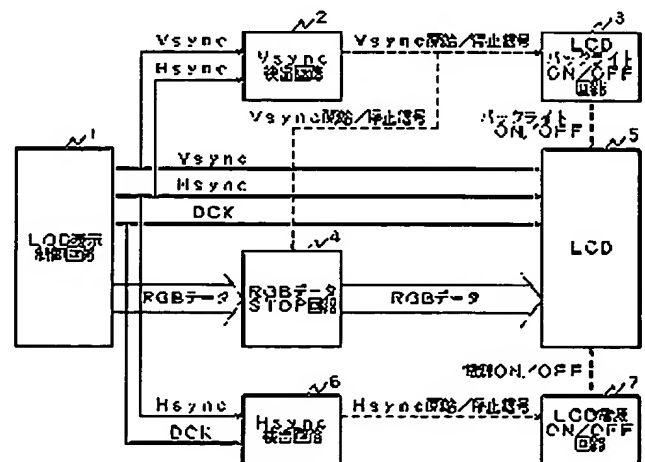
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 LCD省電力制御回路

(57) 【要約】

【課題】 VESA規格準拠のLCD省電力制御を可能にする。

【解決手段】 Vsync検出回路2は、LCD表示制御回路1から出力されるVsync信号を監視し、Vsync信号が一定時間停止した場合、Vsync停止信号をLCDバックライトON/OFF回路3、及びRGBデータSTOP回路4に送出する。Vsync停止信号を受け取ったLCDバックライトON/OFF回路3は、LCD5のバックライトをOFFにし、また同信号を受け取ったRGBデータSTOP回路4は、LCD表示制御回路1から出力されるRGBデータのLCD5への出力をストップする。Hsync検出回路6は、LCD表示制御回路1から出力され



(2)

特開平10-105132

1

2

## 【特許請求の範囲】

【請求項1】 VESA規格のVsync信号とHsync信号を使用してLCDの省電力制御を行うことを特徴とするLCD省電力制御回路。

【請求項2】 LCD表示を制御するLCD表示制御回路から出力される前記Vsync信号を監視し該Vsync信号が一定時間停止した場合前記LCDのバックライトをOFFにするとともに前記LCD表示制御回路から出力されるRGBデータの該LCDへの出力を停止することを特徴とする請求項1記載のLCD省電力制御回路。

【請求項3】 LCD表示を制御するLCD表示制御回路から出力される前記Hsync信号を監視し該Hsync信号が一定時間停止した場合前記LCDの電源をOFFにすることを特徴とする請求項1記載のLCD省電力制御回路。

【請求項4】 前記Hsync信号のバース幅を計数し前記Vsync信号のバース幅が入力されると前記計数値がリセットされるカウンタを具備し、該カウンタの該計数値が予め定めた設定値以上になった場合、前記Vsync信号の一定時間の停止とすることを特徴とする請求項2記載のLCD省電力制御回路。

【請求項5】 前記LCD表示制御回路から供給されるドットクロック信号のバース幅を計数し前記Hsync信号のバース幅が入力されると前記計数値がリセットされるカウンタを具備し、該カウンタの該計数値が予め定めた設定値以上になった場合、前記Hsync信号の一定時間の停止とすることを特徴とする請求項3記載のLCD省電力制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、LCD省電力制御回路に関し、特にVESA (Video Electronics Standards Association) 規格準拠のLCD省電力制御回路に関する。

## 【0002】

【従来の技術】 LCD (液晶ディスプレイ) を用いたシステムにおいて、システムの省電力制御の一つとして、表示が不要の時、一時的に表示を消してスタンバイ状態にしておき、表示が必要になった時には、スタンバイ状態を解除して元の通常状態に戻す機能がある。

【0003】 この実現方法として、従来は例えば公開特許公報 (平4-50996; 液晶表示制御回路) に詳述されているように、スタンバイ状態を作るために専用のSTANBY信号を使用して、通常状態とスタンバイ状

態のCRT省電力モードにおける、Vsync信号 (垂直同期) とHsync信号 (水平同期) のみを使用し、既存のVESA規格準拠ソフトを活用した経済的なLCD省電力制御回路を提供することにある。

## 【0006】

【課題を解決するための手段】 第1の発明は、VESA規格のVsync信号とHsync信号を使用してLCDの省電力制御を行うことを特徴とする。

【0007】 また、第2の発明は、第1の発明においてLCD表示を制御するLCD表示制御回路から出力される前記Vsync信号を監視し該Vsync信号が一定時間停止した場合前記LCDのバックライトをOFFにするとともに前記LCD表示制御回路から出力されるRGBデータの該LCDへの出力を停止することを特徴とする。

【0008】 次に、第3の発明は、第1の発明においてLCD表示を制御するLCD表示制御回路から出力される前記Hsync信号を監視し該Hsync信号が一定時間停止した場合前記LCDの電源をOFFにすることを特徴とする。

【0009】 さらに、第4の発明は、第2の発明における前記Hsync信号のバース幅を計数し前記Vsync信号のバース幅が入力されると前記計数値がリセットされるカウンタを具備し、該カウンタの該計数値が予め定めた設定値以上になった場合、前記Vsync信号の一定時間の停止とすることを特徴とする。

【0010】 最後に、第5の発明は、第3の発明における前記LCD表示制御回路から供給されるドットクロック信号のバース幅を計数し前記Hsync信号のバース幅が入力されると前記計数値がリセットされるカウンタを具備し、該カウンタの該計数値が予め定めた設定値以上になった場合、前記Hsync信号の一定時間の停止とすることを特徴とする。

## 【0011】

【発明の実施の形態】 次に、本発明の実施例を図面を参照して詳細に説明する。

【0012】 図1は本発明の一実施例を示すブロック図、図2は図1のVsync検出回路2の一実施例を示す構成図、図3は図1のHsync検出回路3の一実施例を示す構成図である。

【0013】 図1を参照すると、Vsync検出回路2は、LCD表示制御回路1から出力されるVsync信号を監視し、Vsync信号が一定時間停止した場合、Vsync信号が停止したことを意味するVsync停止信号をLCDバックラ



(3)

特開平10-105132

3

1 から出力されるHsync信号を監視し、Hsync信号が一定時間停止した場合、Hsync信号が停止したことを意味するHsync停止信号をLCD電源ON/OFF回路7に送出する。Hsync停止信号を受け取ったLCD電源ON/OFF回路7は、LCD5の電源をOFFにする。

【0015】そして、LCDバックライトON/OFF回路3、RGBデータSTOP回路4、及びLCD電源ON/OFF回路7によって、LCD5のバックライトOFF及びRGBデータのLCD5への出力停止、及びLCD5の電源OFFがなされた状態で、LCD表示制御回路1からVsync信号及びHsync信号が出力され、Vsync  
10 検出回路2及びHsync検出回路6においてVsync信号及びHsync信号が検出された場合、Vsync検出回路2は、Vsync開始信号をLCDバックライトON/OFF回路3、及びRGBデータSTOP回路4に送出し、Hsync  
検出回路6は、Hsync開始信号をLCD電源ON/OFF回路7に送出する。

【0016】Vsync開始信号を受け取ったLCDバックライトON/OFF回路3は、LCD5のバックライトをONし、Vsync開始信号を受け取ったRGBデータSTOP回路4は、LCD表示制御回路1から出力されるRGBデータをLCD5へ出力する。また、Hsync開始  
20 信号を受け取ったLCD電源ON/OFF回路7は、LCD5の電源をONする。

【0017】次に、図2及び図3を用いて、本実施例におけるVsync検出回路2およびHsync検出回路6の構成例について説明する。

【0018】図2において、Vsync検出回路2は、カウンタ21と比較器22から構成される。カウンタ21は、LCD表示制御回路1から供給されるHsync信号の  
30 パルス数を計算し、計数値を出力する。比較器22は、予め定めた設定値以上になった場合、かつVsync信号が発振しない場合、Vsync停止信号を出力する。カウンタ21のリセット端子には、Vsync信号が供給され、Vsync  
信号のパルスが入力されるとカウンタ21はリセットされる。比較器22の設定値は、LCDの出力画面により設定する。

【0019】図3において、Hsync検出回路6は、カウンタ41と比較器42から構成される。カウンタ41は、LCD表示制御回路1から供給されるドットクロック（以降DCKと称す）信号のパルス数を計算し、計数  
40 値を出力する。比較器42は、予め定めた設定値以上になった場合、かつHsync信号が発振しない場合、Hsync停

4

場合、画面は一ラインが、640ドット、480ラインであるから、これを元にグラフ表示回路（図示せず）からデータを出し、それをLCD表示制御回路1が受け、LCD5をコントロールし、画面表示する。VESA規格では、Vsync信号を停止させるサスペンドステートと、Hsync信号を停止させるオフステートの、省電力に程度の差がある2種類の省電力制御がある。本発明は、VESA規格に対応させるため、Vsync検出回路2  
およびHsync検出回路6を使用し、Vsync信号およびHsync  
10 信号を監視し、信号の停止あるいは開始を検出する。Vsync検出回路2でVsync信号の停止を検出すると、Vsync停止信号を、LCDバックライトON/OFF回路3とRGBデータSTOP回路4に送出する。Vsync停止信号を受け取ったLCDバックライトON/OFF回路3は、LCD5のバックライトをOFFし、Vsync停止信号を受け取ったRGBデータSTOP回路4は、LCD表示制御回路1から出力されるRGBデータのLCD5への出力をストップする（サスペンドステート）。また、Hsync検出回路6でHsync信号の停止を検出すると、  
20 Hsync停止信号を、LCD電源ON/OFF回路7に送出する。Hsync停止信号を受け取ったLCD電源ON/OFF回路7は、LCD5のLCD電源をOFFする（オフステート）。

【0022】サスペンドステートの時、Vsync検出回路2がVsync信号の開始を検出すると、Vsync開始信号を、LCDバックライトON/OFF回路3とRGBデータSTOP回路4に送出し、画面表示を再開する。オフステートの時、Hsync検出回路6がHsync信号の開始を検出すると、LCD電源ON/OFF回路7がLCD5の電源をONし、LCDの新たな電源シーケンスが起こり、LCDの画面表示が再開する。

【0023】ここで図2、図3を参照してVsync検出回路2およびHsync検出回路6の動作を説明する。

【0024】Vsync検出回路2におけるカウンタ21は、LCD表示制御回路1から供給されるHsync信号のパルス数を計数する。比較器22は、カウンタ21のカ  
40 ount数を監視し、その値が480（今回は画面サイズ640×480）になり、かつVsync信号の停止を確認した場合、Vsync停止信号を出力する。通常、省電力モードでない場合、480カウントされる前に、Vsync信号パルスがLCD表示制御回路1から供給されるので、Vsync信号をカウンタ21のリセット端子に入れることで、カウンタ21はリセットされる。また、Vsync停止

(4)

特開平10-105132

5

6

ント数を監視し、その値が640（今回は画面サイズ640）\*480になり、かつHsync信号の停止を確認した場合、Hsync停止信号を出力する。通常、省電力モードでない場合、640カウントされる前に、Hsync信号パルスがLCD表示制御回路1から供給されるので、Hsync信号をカウンタ41のリセット端子に入れることで、カウンタ41はリセットされる。また、Hsync停止信号を出力している時に、Hsync信号パルスがLCD表示制御回路1から出力された場合、カウンタ41はリセットされ、比較器42はHsync停止信号の出力を止め、Hsync開始信号を出力する。

【0026】

【発明の効果】以上説明したように、本発明は、Vsync信号とHsync信号のみを使用し、VESA規格準拠のLCD省電力制御を可能にしたことにより、既存のVESA規格準拠ソフトを活用した経済的なLCD省電力制御回路を提供できる効果がある。

\*

\*【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

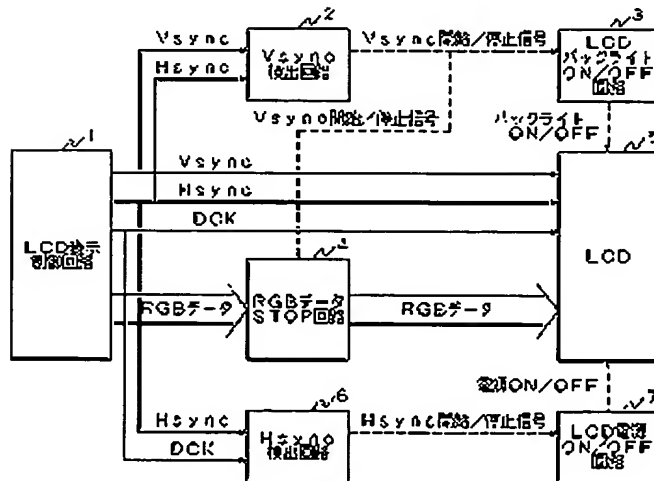
【図2】図1のVsync検出回路2の一実施例を示す構成図である。

【図3】図1のHsync検出回路3の一実施例を示す構成図である。

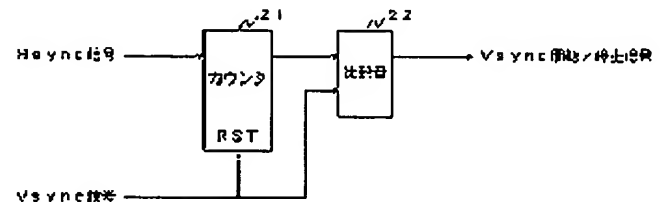
【符号の説明】

- 1 LCD表示制御回路
- 2 Vsync検出回路
- 3 LCDバックライトON/OFF回路
- 4 RGBデータSTOP回路
- 5 LCD
- 6 Hsync検出回路
- 7 LCD電源ON/OFF回路
- 21、41 カウンタ
- 22、42 比較器

【図1】



【図2】



【図3】

